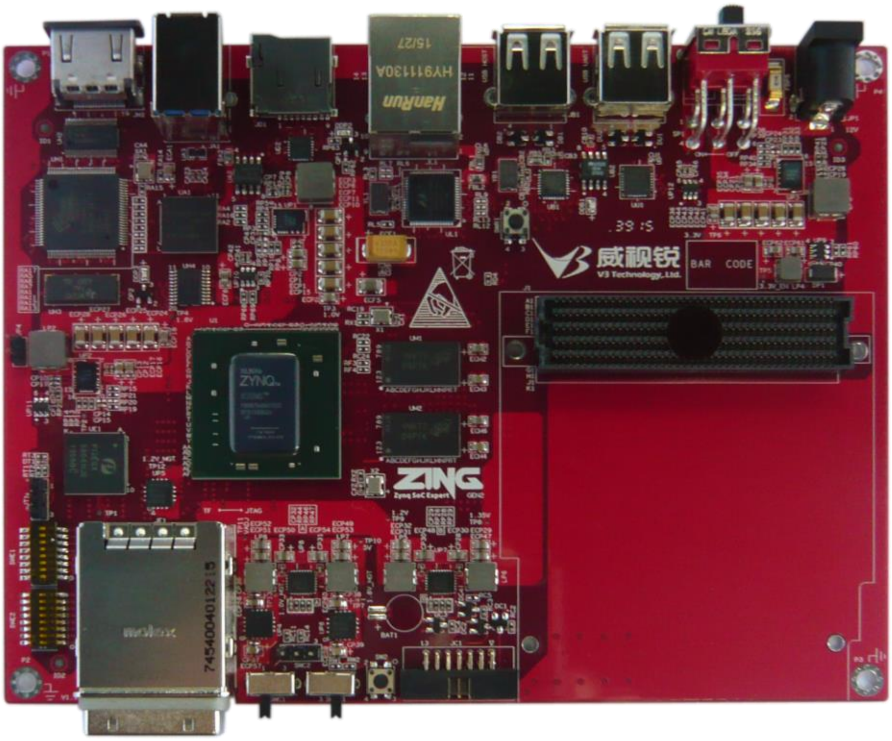
Zing2 硬件用户手册

Ver:1.0



威视锐旗下品牌：

版本修订记录

版本	修订日期	修订内容
1.0	2015 年 10 月 10 日	zing2 硬件手册

关于威视锐科技

北京威视锐科技有限公司是专注于软件定义无线通信（SDR）系统仿真、验证和测试平台的研发与生产，同时也提供通用高性能信号处理板卡，应用于机器视觉、生命科学和高能物理等科学计算领域。

威视锐与微软研究院联合开发的 Sora 软件无线电平台已经成为世界上知名大学和科研结构开展无线通信研究的首选平台，也是学术研究领域全球唯一的 100%基于 x86 的宽带实时软件无线电平台，目前已经有超过 20 多个国家的 300 多个科研用户。作为全球最大的可编程器件（FPGA）公司 XILINX 的全球合作伙伴，威视锐科技提供基于 XILINX FPGA/SoC 的全方位解决方案。特别是 ZYNQ 7000 系列 SoC 产品，威视锐携手 XILINX 发布了全球第一款基于 ZYNQ SoC 的低成本开源 SoC 模块 SNOWLeo，性价比远高于国外同类产品，大大降低了 SoC 系统的开发门槛。此外，威视锐旗下的红色飓风开发板自从 2004 年发售以来已成为国内销售时间最长、知名度最高以及用户量最多的开发板产品。

多年以来，威视锐科技坚持“Innovation for Research”的发展理念，与国内众多知名高校建立合作关系，帮助专家、学者和研发工程师将创新的理念变成现实。对于产业界客户，威视锐提供严格验证的核心模块、智能便携的测量仪器以及定制化的设计服务来加快产品研发周期。

目 录

一、产品介绍

产品概述

Zing2 开发板是一款由北京威视锐公司推出的基于赛灵思可扩展处理平台架构的高性能的电路板。该电路板使用了赛灵思最新推出的 Zynq-7000（xc7z030）系列核心芯片，它采用 28nm 制程工艺，具有高性能、低功耗等特点，其最主要的特色是将双核 ARM® Cortex™-A9（处理器系统 PS）和赛灵思的可编程逻辑（可编程逻辑 PL）集成到一个单独芯片上。从而将 ARM®处理系统和与 Xilinx 7 系列可编程逻辑完美地结合在一起，使用户可以创建独特而强大的设计。

应用领域

- 工业控制、工业网络、机器视觉；
- 智能相机；
- 多功能打印机；
- 医疗诊断和成像；
- 汽车驾驶辅助设备和信息娱乐；
- 视频和夜视设备；
- LTE 射频和基带。

典型客户

高校客户：清华大学　北京大学　北京理工大学　北京邮电大学　北京交通大学　上海交通大学　天津大学
南开大学　哈尔滨工业大学　吉林大学　东北大学　大连理工大学 北京航空航天大学

研究所：航天一院　航天五院　航天三院　核工业研究所　中科院自动化所　中科院声学所　中科院计算所
广电总局规划院　兵器工业研究所　高能物理研究所

公司客户：通用电气　华为技术有限公司　京东方电子集团　大恒激光　一汽大众　中国移动研究院　神州龙芯
大唐微电子　立林科技集团　法国电信中国研发中心

相关文档

- ✓ 《Zing2 开发板硬件手册》
- ✓ 《Zing2 开发板管脚列表.xls》
- ✓ 《Zing2 开发板原理图. pdf》

二．购买信息

http://v3best.com/products/SDSoC/Zing/Zing2.html

三．硬件资源

Zing2 资源分布图如图 3.1 所示。

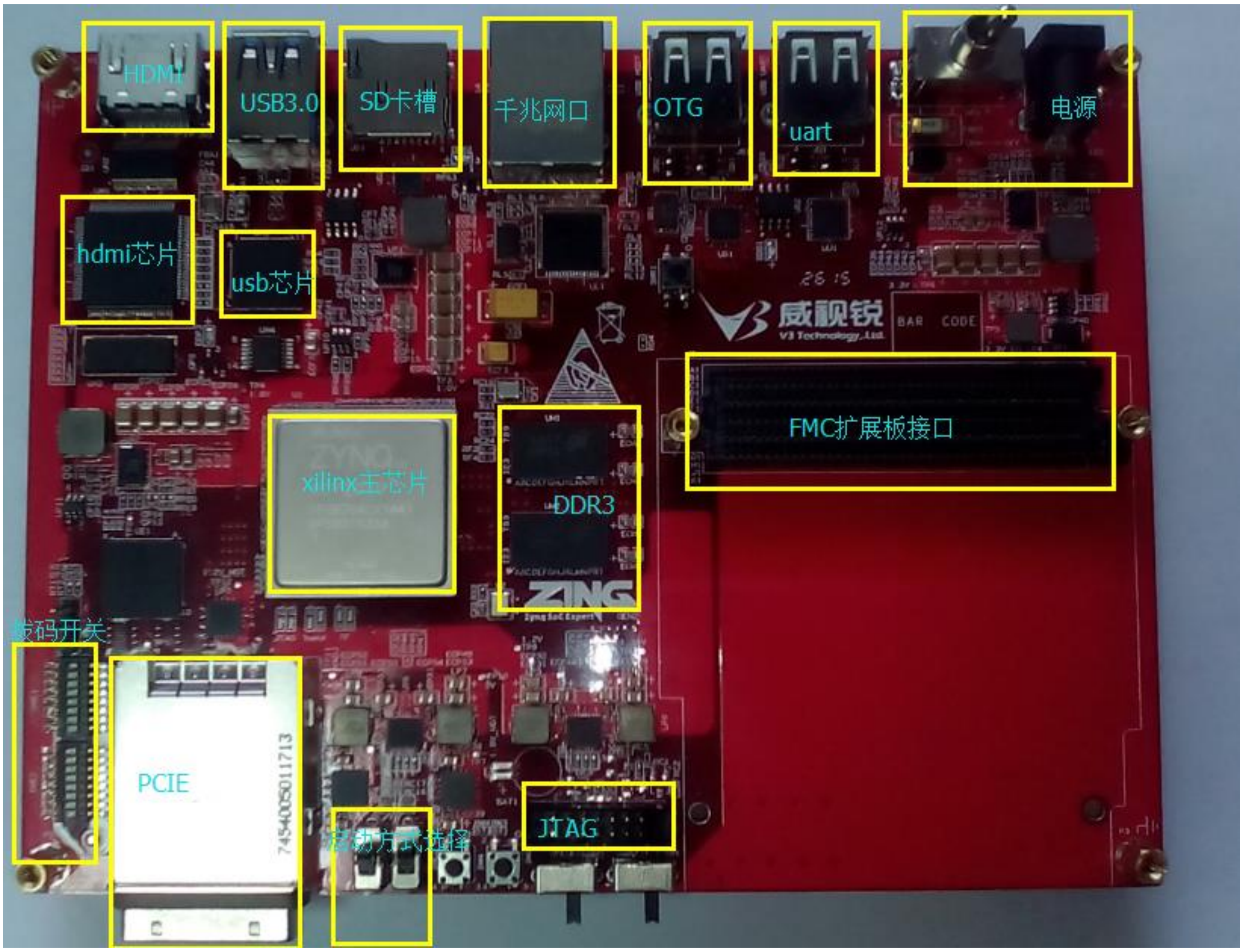


图 3.1 Zing2 硬件资源分布图

硬件资源总结如下：

- Zynq-7000 XC7Z030-1FGG676；
- 512MB 的 DDR3 内存颗粒；
- PS 系统时钟源：33.333MHz LVCMOS 晶振；
- USB2.0 ULPI PHY 芯片；
- 千兆以太网 PHY 芯片；

- ✧ NAND_FLASH；
- ✧ PL 系统时钟源：50MHz LVCMOS 晶振；
- ✧ USB_UART 接口；
- ✧ USB3.0 接口；
- ✧ HDMI 接口；
- ✧ 用户 IO：拨码开关、按键、LED 灯；
- ✧ FMC 扩展接口；
- ✧ JTAG 调试接口；
- ✧ PCIE X4 接口。

后面我们将展开详述相关的硬件资源。

3.1.1 Zing2 系统框图

Zing2 开发板的核心就是 Zynq-7030 芯片。该核心模块上的主要配置设备包括 PS 系统时钟源、4 位 led 灯、千兆以太网 PHY 芯片、USB3.0 芯片、USB2.0 ULPI PHY 及接口， 4GB 的 NAND Flash, 512MB 的 DDR3 SDRAM 等等。其系统方框图如图 3.1.1 所示，

图 3.1.1 Zing 系统框图

Zynq-7030 芯片可以通过拷贝在 NAND Flash、TF 卡的启动镜像进行配置，同时也可以通过连接在 Zing2 的 JTAG 接口进行配置。

3.1.2 核心芯片

Zing2 开发板使用了 XC7Z030-ffg676 的 Zynq-7000 系列核心芯片。XC7Z030 将 SoC 集成处理系统（PS）和可编程逻辑器件（PL）包含在单个芯片上。XC7Z030 EPP 芯片的总体框图如图 3.1.3 所示，其中，PS 集成了两个 ARM®的 Cortex™-A9 MPCore 的™应用处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/ SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。

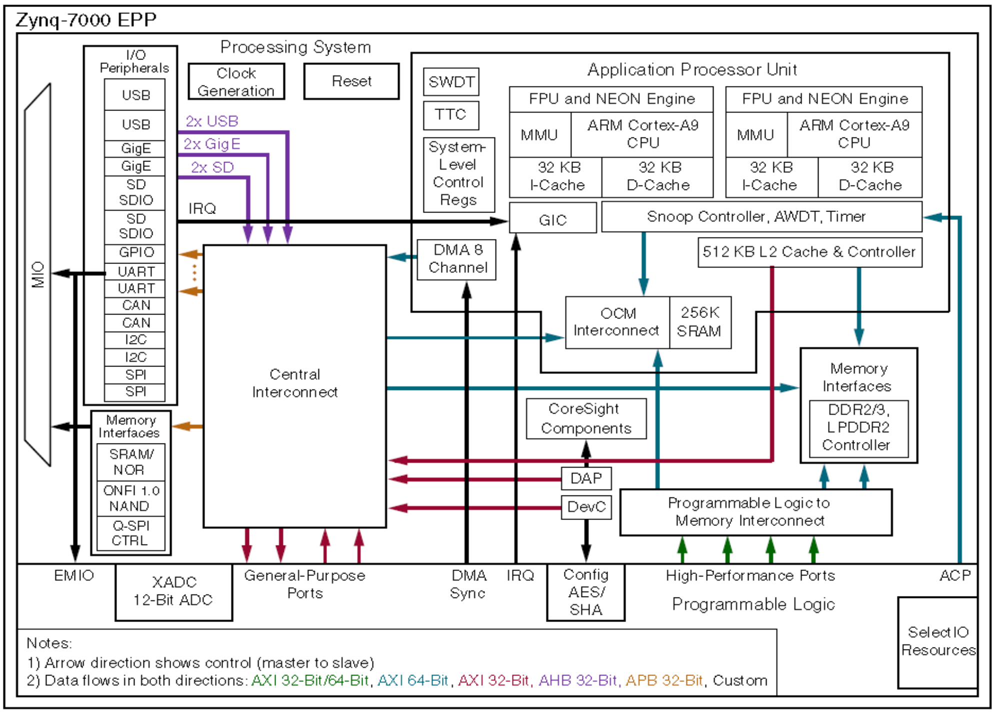


图 3.1.2 XC7Z030 芯片的总体框图

3.1.3 PS 时钟配置

Zing2 开发板中的 zynq 芯片通过外部的 X1 晶振提供 33.333MHz 的时钟输入。其原理图如图 3.1.4 所示，

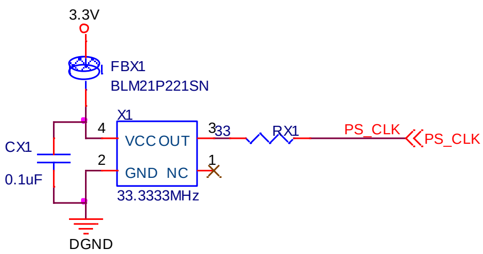


图 3.1.4 PS 系统时钟

PS 系统时钟的管脚分配如表 3.1.2 所示。

表 3.1.2 PS 时钟源管脚定义

PS 时钟源	信号名称	XC7Z030 管脚名称
X1	PS_CLK	B24

时钟接入后需要通过 PLL 锁相环进行时钟的再分配，以满足不同模块的时钟供给。具体时钟分配如图 3.1.5 所示，详细信息可参考手册 ug585-Zynq-7000-TRM.pdf（download）。

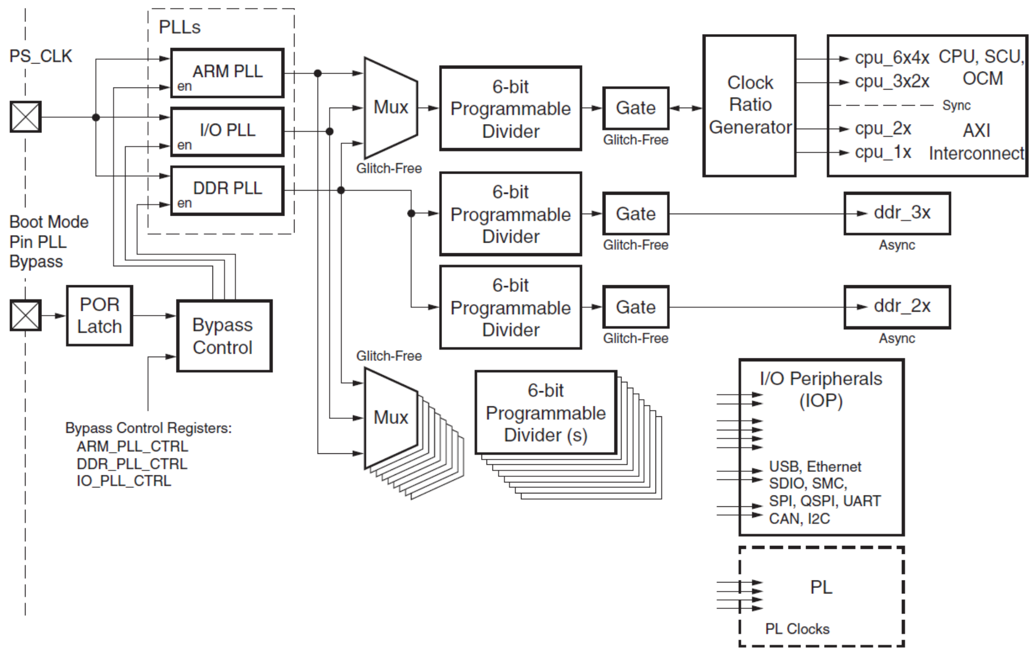


图 3.1.5 PS 系统时钟分配图

3.1.5 DDR3 内存颗粒

DDR3 是一种内存规格。它属于 SDRAM 家族的内存产品，提供了相较于 DDR2 SDRAM 更高的运行效能与更低的电压，是 DDR2 SDRAM（四倍资料率同步动态随机存取内存）的后继者（增加至八倍），也是现时流行的内存产品。

Zing2 开发板使用了型号为 MT41J128M16JT 的 DDR3 存储系统。它由 2 片内存颗粒组成(共计 512MB)，总线宽度为 32bit。DDR3SDRAM 的最高运行速度可达 533MHz。该存储系统直接连接到了 XC7Z030 EPP 处理系统（PS）的 BANK 502 的存储器接口上。

该 DDR3SDRAM 的具体配置如表 3.1.3 所示。

表 3.1.3 DDR3SDRAM 的具体配置

芯片类型	容量	配置	厂家
MT41J128M16JT	256MB	128M x 16bit	Micrel

DDR3 的具体技术参数描述见表表 3.1.4。

表 3.1.4 DRAM 的具体技术参数

参数	数值
存储类型	DDR3
DRAM 总线宽度	32 bit
运行频率	533 MHz
单颗颗粒的总线宽度	16 bits
单颗存储容量	1024 bits
速度等级	DDR3_1066

DDR3 SDRAM 的原理图如图 3.1.6 所示。

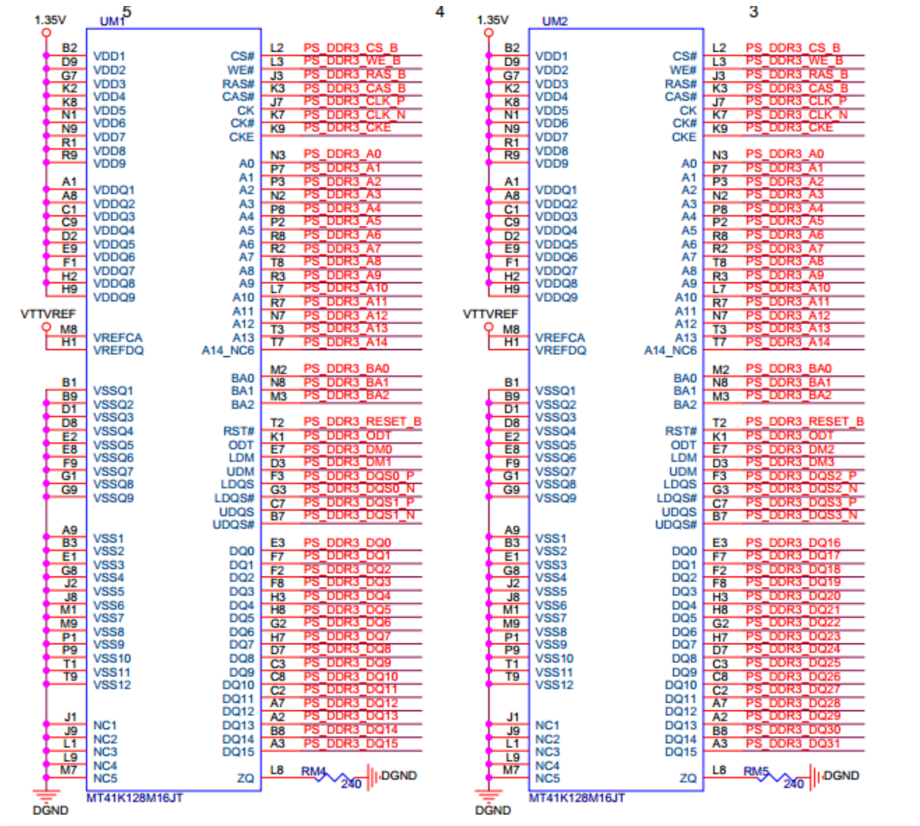


图 3.1.6 DDR3 SDRAM 原理图

DDR3 SDRAM 的管脚分配信息可通过原理图的信号名称一一查找，这里不做详细的管脚分布介绍。

3.1.6 Flash 设备

Zing2 套件共有 2 种 flash 设备，分别是 NAND_FLASH、TF 卡。TF 卡设备的详细介绍将在 Zing2 部分的 SDIO 连接器部分介绍。这里只介绍 NAND_FLASH。

NAND_FLASH 可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。

这两种 Flash 的具体型号和相关参数见表 3.1.6。

表 3.1.6 Flash 的型号和参数

Flash 类型	芯片型号	容量
NAND Flash	MT29F4G08ABADAWP	4Gb

NAND_FLASH 共用了 zynq 芯片的 MIO 引脚。图 3.1.7 为 NAND_FLASH 的原理图。

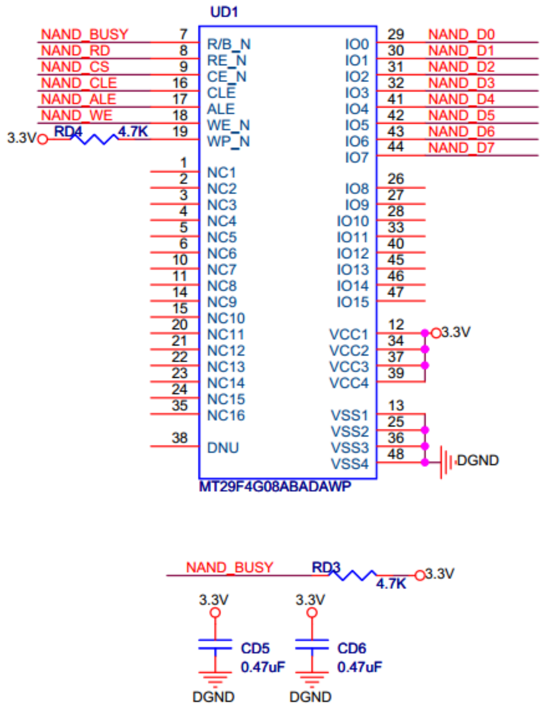


图 3.1.7 NAND_FLASH 的原理图

有关 NAND_FLASH 的信号分配信息见表 3.1.6，仅供参考，一切以原理图为标准。

表 3.1.6 NAND_FLASH 管脚分配

信号名称	XC7Z030 管脚	Zing2 连接器管脚	IO 电压
NAND_BUSY	MIO14	-	3.3V
NAND_CS	MIO0	-	3.3V
NAND_ALE	MIO2	-	3.3V
NAND_WE	MIO3		3.3V
NAND_D0	MIO5		3.3V
NAND_D1	MIO6		3.3V
NAND_D2	MIO4		3.3V
NAND_D3	MIO13	-	3.3V
NAND_D4	MIO9	-	3.3V
NAND_D5	MIO10	-	3.3V
NAND_D6	MIO11	-	3.3V
NAND_D7	MIO12	-	3.3V
NAND_RD	MIO8		3.3V
NAND_CLE	MIO7	-	3.3V

3.1.7 USB2.0 ULPI 收发器

Zing2 开发板使用的 USB2.0 收发器是一个高速的物理层支持 UTMI+低引脚接口（ULPI）的标准接口。该 ULPI 标准定义了 USB 控制器 IP 和 PHY 设备（驱动 USB 物理总线）之间的接口。ULPI 标准的使用，

减少了 USB 控制器 IP 和 PHY 设备之间的接口引脚数。

USB3320C-EZK 收发器的接口是通过存在于 XC7Z030 处理器系统中的 IP 来实现的。该收发器由一个 24MHz 的晶振提供时钟，其原理图如图 3.1.8 所示，

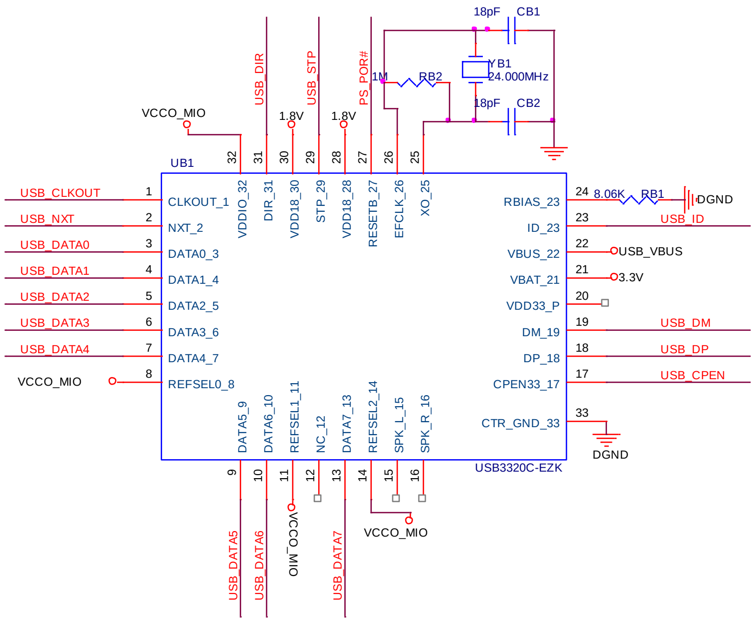


图 3.1.8 USB3320C 收发器原理图

该 USB 的管脚分配如表 3.1.7 所示。

表 3.1.7USB 管脚分配

XC7Z030			信号名称	USB3320 管脚
管脚名称	BANK	管脚号		
PS_MIO36	501	A11	USB_CLKOUT	1
PS_MIO31	501	E16	USB_NXT	2
PS_MIO32	501	A14	USB_DATA0	3
PS_MIO33	501	D15	USB_DATA1	4
PS_MIO34	501	A12	USB_DATA2	5
PS_MIO35	501	F12	USB_DATA3	6
PS_MIO28	501	C16	USB_DATA4	7
PS_MIO37	501	A10	USB_DATA5	9
PS_MIO38	501	E16	USB_DATA6	10
PS_MIO39	501	C18	USB_DATA7	13
PS_MIO30	501	C15	USB_STP	29
PS_MIO29	501	C13	USB_DIR	31

USB 连接器的管脚功能如表 3.1.8 所示。

表 3.1.8 USB 连接器管脚功能

USB 连接器		信号名称	描述	USB3320 管脚
管脚	管脚名称			

1	VBUS	USB_VBUS_SEL	来自主机的+5V 电压	22
2	D_N	USB_D_N	双向差分串行数据的 N 端	19
3	D_P	USB_D_P	双向差分串行数据的 P 端	18
5	GND	GND	信号地	33

3.1.8 10/100/1000 MHz 的三速以太网口

Zing2 开发板采用 Marvell Alaska 的 PHY 装置（88E1116R），它支持 10 MB/ s，100 Mb / s 或 1000 Mb / s 的以太网通讯，通过 RGMII 接口模式连接到了 EPP 上。YE1 为 88E1111 PHY 芯片提供了一个 25MHz 的时钟源。图 3.1.9 为以太网口的原理图。

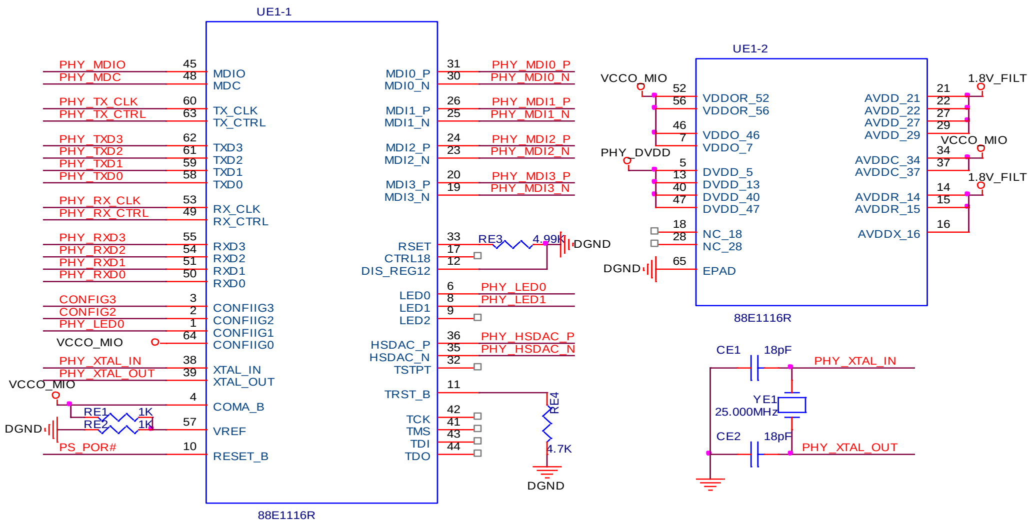


图 3.1.9 以太网口原理图

三速以太网口的管脚分配如表 3.1.9 所示。

表 3.1.9 以太网管脚分配

XC7Z030 EPP			信号名称	M88E1116R PHY	
管脚名称	BANK	管脚信号名		管脚号	管脚名称
PS_MIO53	501	MIO53	PHY_MDIO	45	MDIO
PS_MIO52	501	MIO52	PHY_MDC	48	MDC
PS_MIO16	501	MIO16	PHY_TX_CLK	60	TX_CLK
PS_MIO21	501	MIO21	PHY_TX_CTRL	63	TX_CTRL
PS_MIO20	501	MIO20	PHY_TXD3	62	TXD3
PS_MIO19	501	MIO19	PHY_TXD2	61	TXD2
PS_MIO18	501	MIO18	PHY_TXD1	59	TXD1
PS_MIO17	501	MIO17	PHY_TXD0	58	TXD0
PS_MIO22	501	MIO22	PHY_RX_CLK	53	RX_CLK
PS_MIO27	501	MIO27	PHY_RX_CTRL	49	RX_CTRL
PS_MIO26	501	MIO26	PHY_RXD3	55	RXD3
PS_MIO25	501	MIO25	PHY_RXD2	54	RXD2

PS_MIO24	501	MIO24	PHY_RXD1	51	RXD1
PS_MIO23	501	MIO23	PHY_RXD0	50	RXD0

其中 MIO52 和 MIO53 可以看做是 MDIO 或者 I2C 总线去使用。

3.1.9 FX3 usb3.0 设备

板卡包括 32bit FX3 芯片，通过 FX3 用户可以方便的实现 usb 高速通信。FX3 与 FPGA 的总线采用 slave fifo 模式，用户可以定义为同步或异步模式。威视锐提供完整的 slave fifo 应用参考例程，包括 FPGA code。可以做软件无线电收发和配置参考设计。

3.1.10 用户 led

Zing2 开发板上连接了 4 位的 led 灯。原理图如下图 3.1.11 所示，

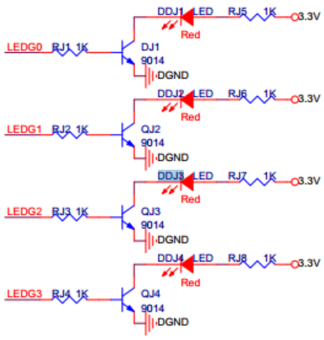


图 3.1.11 用户 led 原理图

表 3.1.12 为 4 位 led 灯的详细描述信息。

表 3.1.13 led 管脚分配

信号名称	XC7Z030 管脚	XC7Z030 管脚类型	有效值
LEDG0	AE21	IO_L23P_T3_33	Activelow
LEDG1	AD18	IO_L23N_T3_33	Activelow
LEDG2	AD19	IO_L24P_T3_33	Activelow
LEDG3	AE18	IO_L24N_T3_33	Activelow

3.2.1 系统时钟源

Zing2 部分为 XC7Z030 提供了单端 50MHz 的 PL 系统时钟源，3.3V 供电。该时钟源的原理图如图 3.2.1 所示，

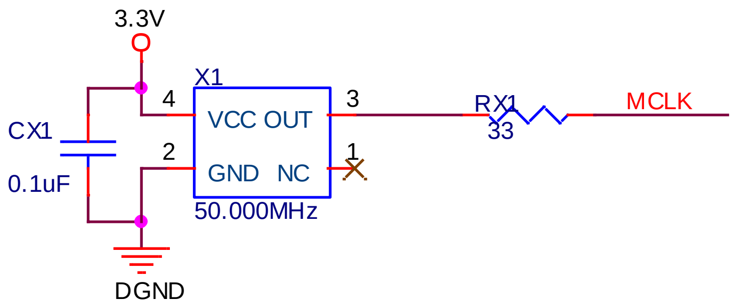


图 3.2.1 PL 系统时钟源

它的管脚分配如表 3.2.1 所示。

表 3.2.1 PL 系统时钟管脚分配

PL 系统时钟源	信号名称	XC7Z030 管脚
X2	IO_L12P_T1_MRCC_13	Ac23

3.2.2JTAG 接口

ARM 和 FPGA 的 JTAG 接口同时连接到一个 JTAG 链上。通过这个 JTAG 接口可以同时配置 ARM 处理器和 FPGA 逻辑。如图 3.2.2 所示。

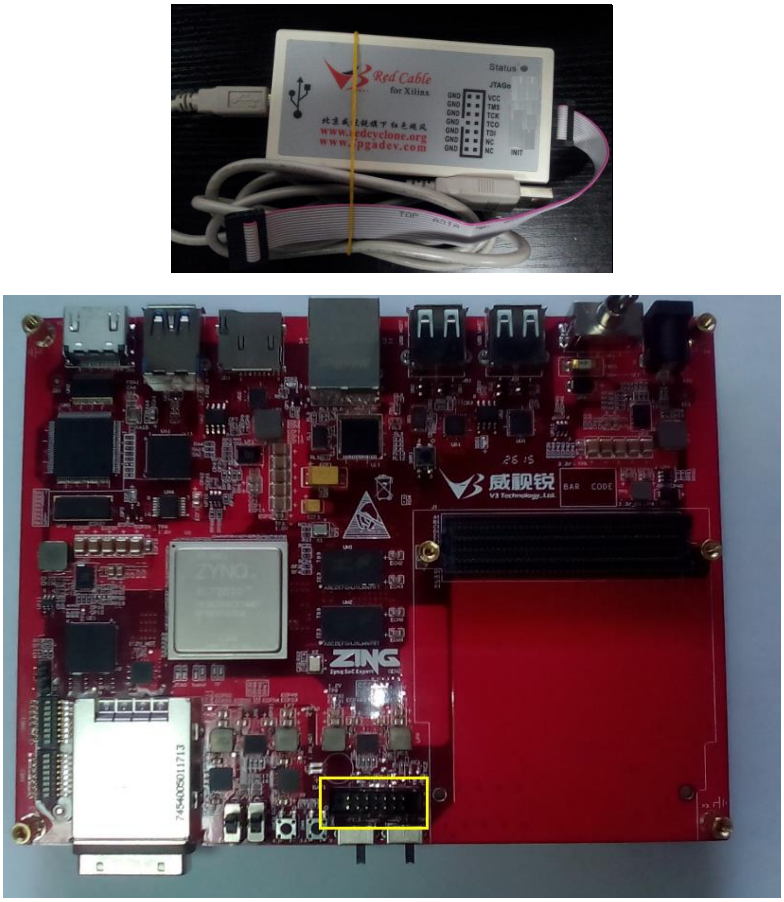


图 3.2.2 JTAG 及其接口

我们通过 xilinx 提供的开发工具（ISE）下的 impact 可以扫描到这两个核，见图 3.2.3，

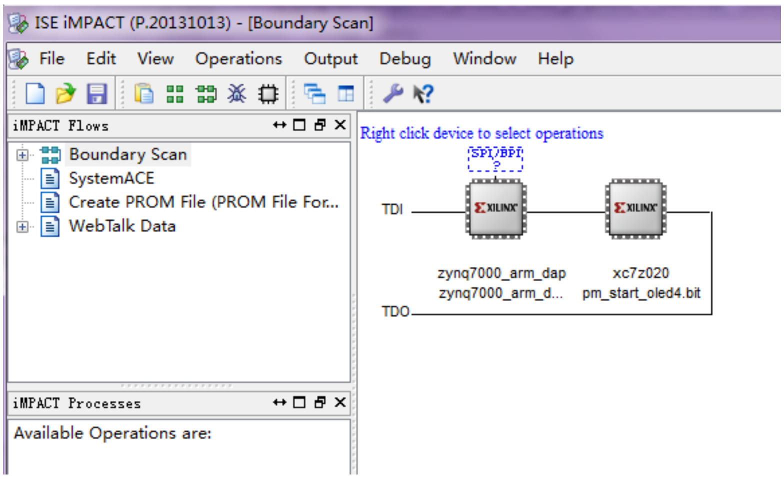


图 3.2.3 xilinx impact 工具扫描 ZYNQ 核

JTAG 的原理图如图 3.2.4 所示，

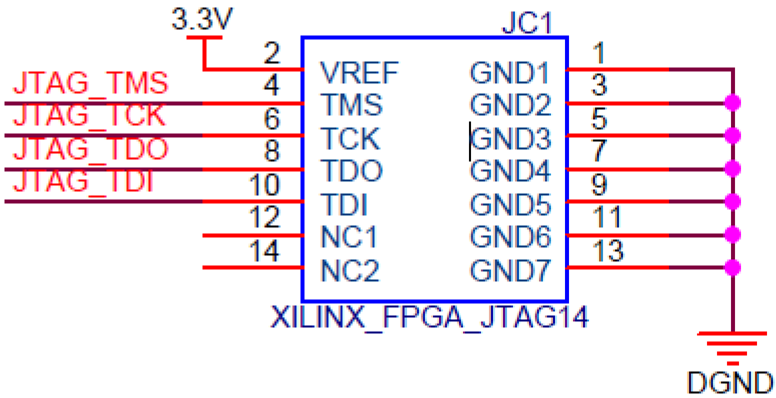


图 3.2.4 JTAG 接口原理图

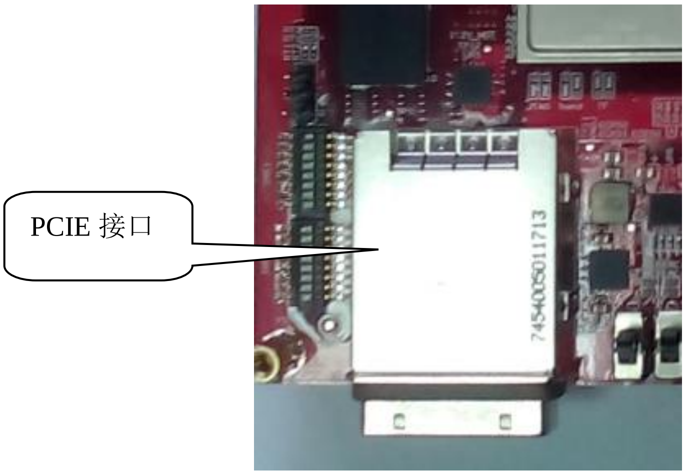
具体的管脚分配见表 3.2.2.

表 3.2.2 JTAG 管脚分配

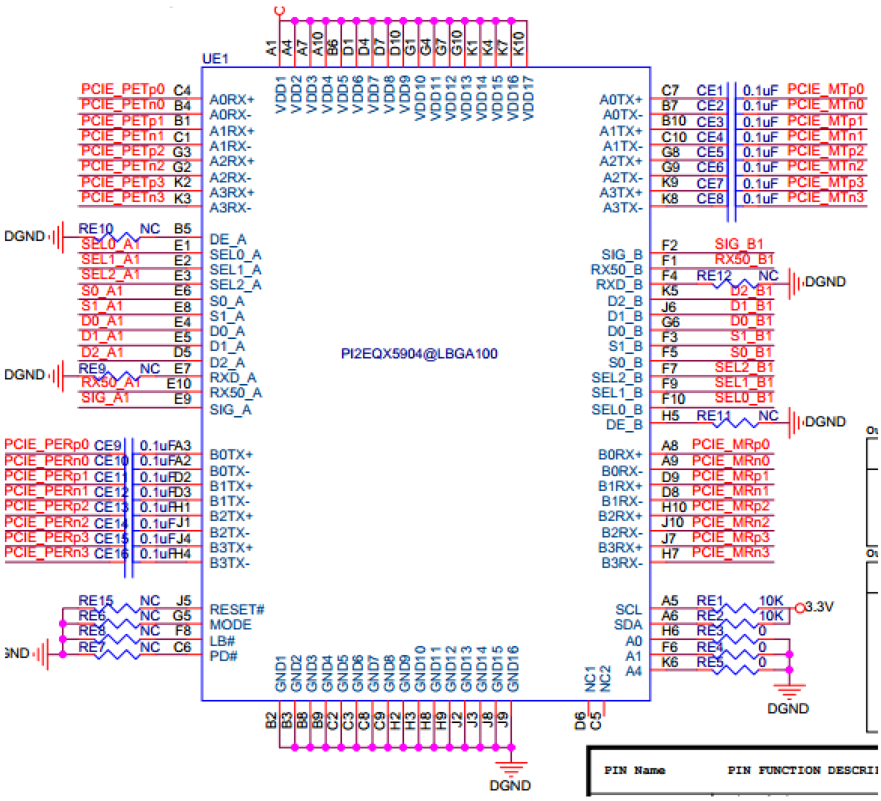
信号名称	SODIMM 连接器管脚	XC7Z030 管脚号
JTAG_TCK	158	W12
JTAG_TMS	162	W11
JTAG_TDI	160	V11
JTAG_TDO	164	W10

3.2.3 PCIE 接口

实物图如下：



部分原理图



管脚映射

FPGA 管脚名称	管脚号	网络名称
MGTAVTTRCAL_112	AB7	1.2V_MGTAVTT
MGTREFCLK0N_112	R5	N4768190017
MGTREFCLK0P_112	R6	N4768190016
MGTREFCLK1N_112	U5	
MGTREFCLK1P_112	U6	

MGTRREF_112	AB8	N4768190020
MGTXRXN0_112	AB3	PCIE_PERN3
MGTXRXN1_112	Y3	PCIE_PERN2
MGTXRXN2_112	V3	PCIE_PERN1
MGTXRXN3_112	T3	PCIE_PERN0
MGTXRXP0_112	AB4	PCIE_PERP3
MGTXRXP1_112	Y4	PCIE_PERP2
MGTXRXP2_112	V4	PCIE_PERP1
MGTXRXP3_112	T4	PCIE_PERP0
MGTXTXN0_112	AA1	N476819009
MGTXTXN1_112	W1	N4768190011
MGTXTXN2_112	U1	N4768190013
MGTXTXN3_112	R1	N4768190015
MGTXTXP0_112	AA2	N476819008
MGTXTXP1_112	W2	N4768190010
MGTXTXP2_112	U2	N4768190012
MGTXTXP3_112	R2	N4768190014
MGTAVTTRCAL_112	AB7	1.2V_MGTAVTT
MGTREFCLK0N_112	R5	N4768190017
MGTREFCLK0P_112	R6	N4768190016
MGTREFCLK1N_112	U5	
MGTREFCLK1P_112	U6	
MGTRREF_112	AB8	N4768190020
MGTXRXN0_112	AB3	PCIE_PERN3
MGTXRXN1_112	Y3	PCIE_PERN2
MGTXRXN2_112	V3	PCIE_PERN1
MGTXRXN3_112	T3	PCIE_PERN0
MGTXRXP0_112	AB4	PCIE_PERP3
MGTXRXP1_112	Y4	PCIE_PERP2
MGTXRXP2_112	V4	PCIE_PERP1
MGTXRXP3_112	T4	PCIE_PERP0
MGTXTXN0_112	AA1	N476819009

3.2.4SDIO 连接器

Zing2 中包括一个安全数字输入/输出（SDIO）接口，以提供用户逻辑访问通用的非易失性 SDIO 存储卡和外围设备。SDIO 信号经 TXS02612 电平转换器与 XC7Z030 的 PS 501BANK 信号相连，该 BANK 的 VCCMIO 设置为 1.8V。

SDIO 连接器的原理图如图 3.2.5 所示，

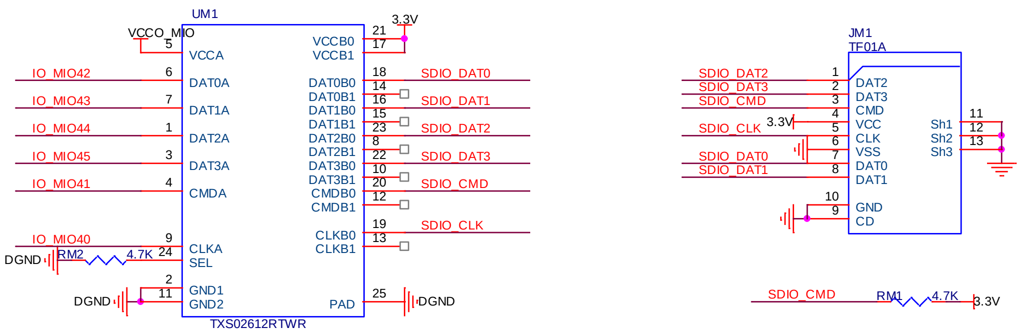


图 3.2.5 SDIO 连接器原理图

其中 SDIO 电平转换器的管脚分配列表如表 3.2.3 所示。

表 3.2.3 SDIO 电平转换器管脚分配

UM1 电平转换器信号名称	SODIMM 连接器管脚号	XC7Z030 管脚
IO_MIO40	141	C22
IO_MIO41	154	C19
IO_MIO42	139	F17
IO_MIO43	155	D18
IO_MIO44	145	E18
IO_MIO45	153	C18

电平转化器与 SDIO 接口的信号说明见表 3.2.4。

表 3.2.4 电平转化器与 SDIO 接口信号说明

信号名称	UM1 电平转换器		SDIO 连接器	
	管脚号	管脚名称	管脚号	管脚名称
SDIO_SDDET	N/A	N/A	9	CD
SDIO_CMD	4	CMDB0	3	CMD
SDIO_CLK	9	CLKB0	5	CLK
SDIO_DAT2	1	DAT2B0	1	DAT2
SDIO_DAT1	7	DAT1B0	8	DAT1
SDIO_DAT0	6	DAT0B0	7	DAT0
SDIO_CD_DAT3	3	DAT3B0	2	DAT3

3.2.5 USB_UART 接口

Zing2 中包含一个 Silicon Labs 公司的 CP2103GM USB-UART 桥接设备，它允许一台主机连接到一个 USB 端口。主机 PC 的 USB 电缆连接到 Zing2 中的 USB 端口上时，也就为 CP2103GM 提供了 5V 的供电电压。

CP2013GM TX 和 RX 引脚连接到了 XC7Z030 的 EPP PS IO 外设集中的 UART_0 IP 块上。XC7Z030 EPP 支持 USB-UART 桥接器使用两个信号引脚：发送（TX）和接收（RX）。

Silicon Labs 为主机 PC 提供了虚拟 COM 端口（VCP）驱动程序。这些驱动程序允许 CP2103GM USB-UART 桥接设备在通信应用软件（例如，TeraTerm 或超级终端）显示为一个 COM 端口。 VCP 设备驱动程序必须在 PC 主机与 Zing 开发板建立通信前进行安装。

CP2103GM 的原理图如图 3.2.7 所示。

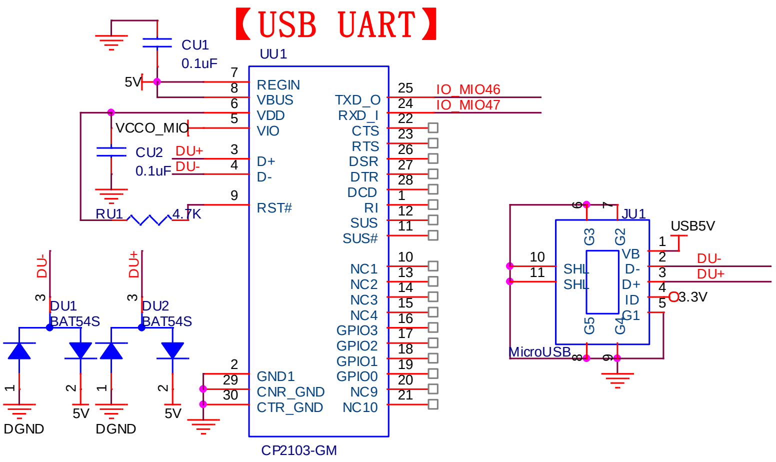


图 3.2.7 CP2103GM 原理图

USB_UART 接口的管脚列表如表 3.2.6 所示。

表 3.2.6 USB_UART 管脚分配

XC7Z030 EPP			UART 功能	信号名称	CP2103GM	
管脚名称	BANK	管脚号			管脚	UART 功能
PS_MIO46	501	E17	TX,数据输出	IO_MIO46	24	RXD，数据输入
PS_MIO47	501	B19	RX,数据输入	IO_MIO47	25	TXD，数据输出

3.2.6 HDMI 接口

HDMI ，全称为高清晰度多媒体视频输出接口。SNOWLeo 上使用了 Sil9134CTU 型的 HDMI 芯片。

该芯片提供了完整的 HDMI 数字视频/音频传输解决方案，它具有专业音频/视频处理功能。这也使它在消费电子设备中变得越来越受欢迎。

其原理图如图 3.2.8 所示。

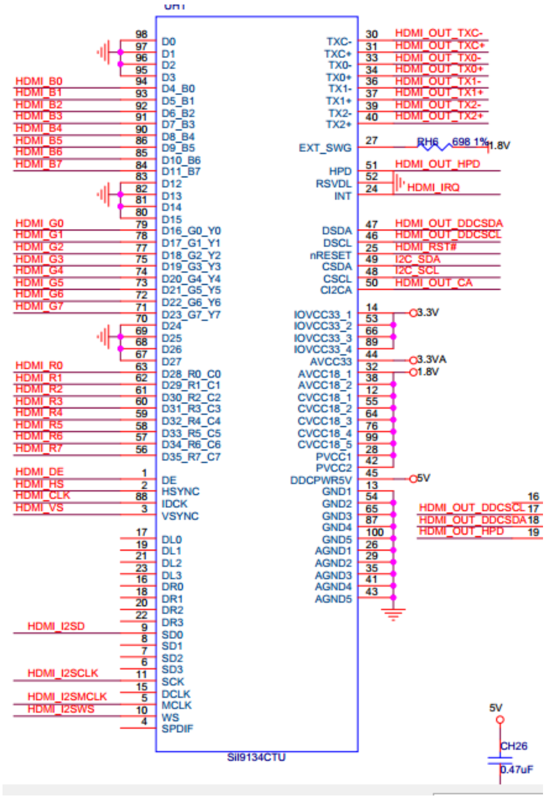
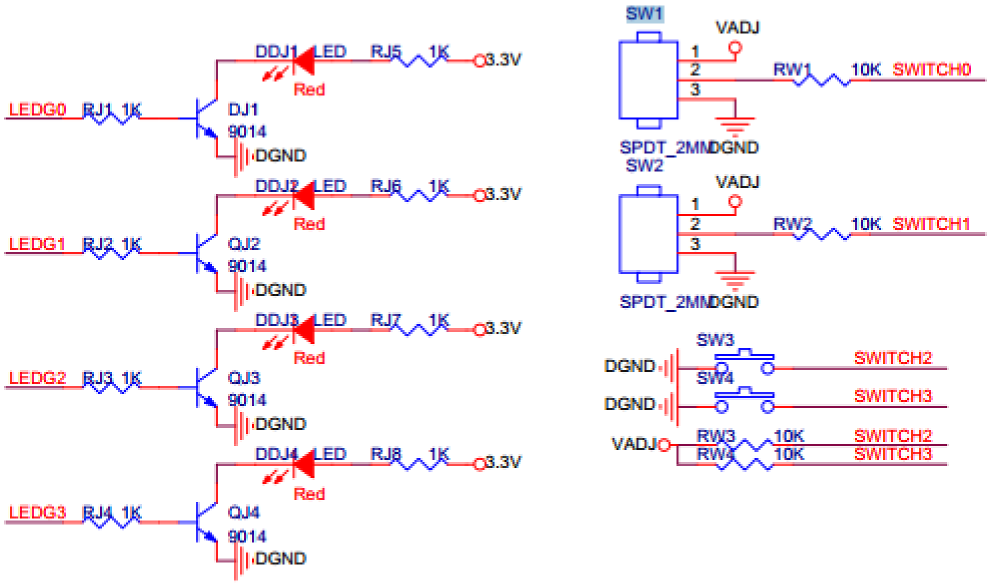


图 3.2.8 HDMI 接口原理图

3.2.7 用户 IO

Zing2 为用户提供了 LED 灯、拨码卡关、按键等用户 IO。其中，有 4 位 LED 灯（DD1-DD4），2 位用户按键(SW3-SWC4)，2 位用户拨码开关(SW1-SW2)，2 位用户拨码开关作为启动模式设置(SWC1-SWC2)。其原理图如图 3.2.9 所示。



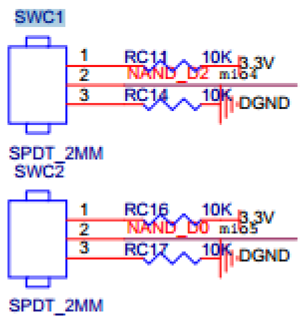


图 3.2.9 用户 IO 原理图

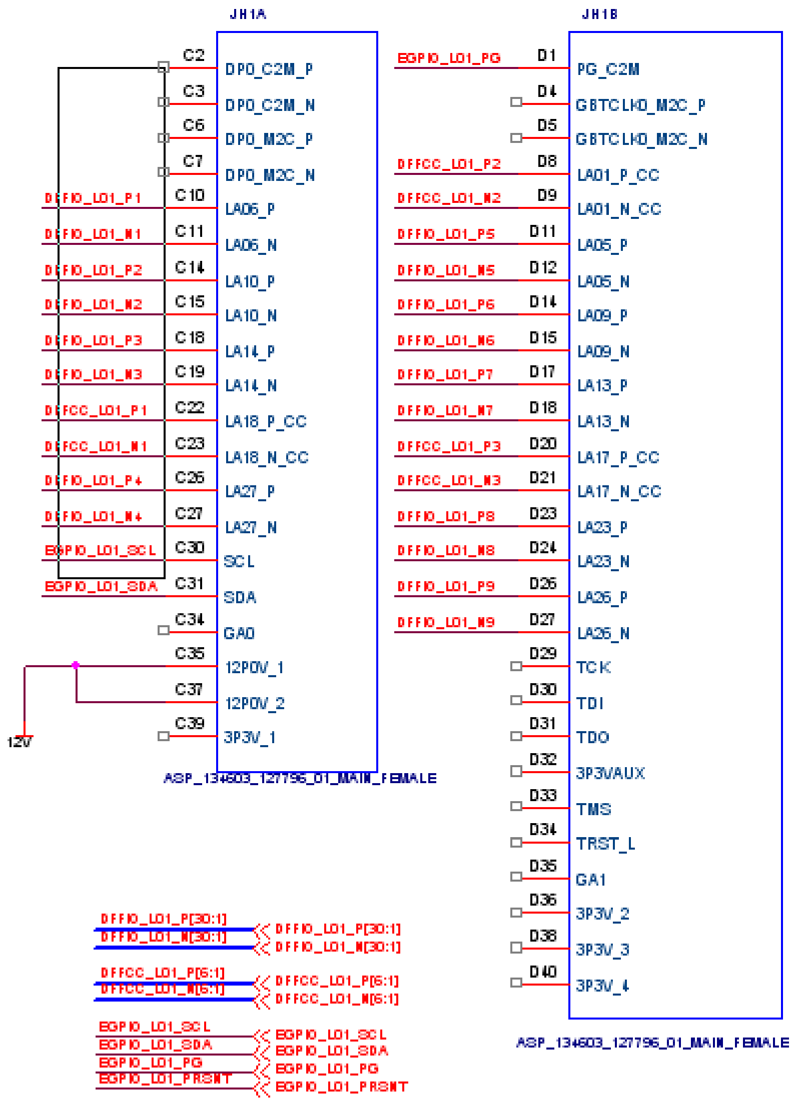
用户 IO 的管脚列表如表 3.2.8 所示。

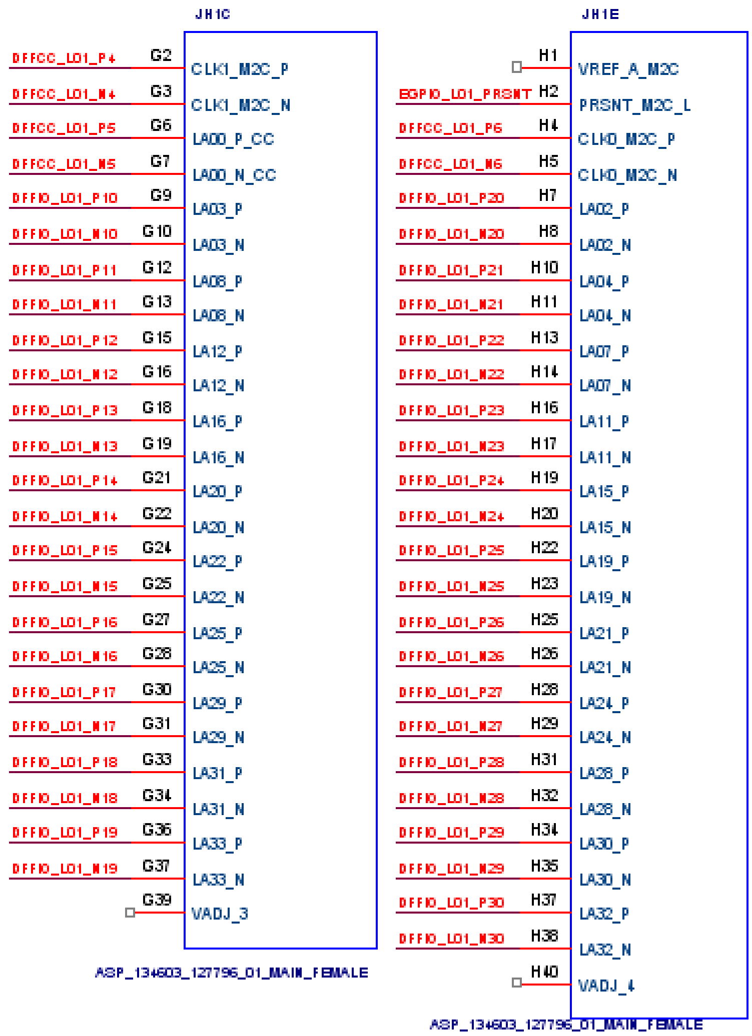
表 3.2.8 用户 IO 管脚分配

用户 IO	IO 名称	信号名称	XC7Z030 管脚名称
LEDS	DDJ1	Led0	AE21
	DDJ2	Led1	AD18
	DDJ3	Led2	AD19
	DDJ4	Led3	AE18
按键	PD1	SWITCH0	AF18
	PD2	SWITCH1	AF19
拨码开关	SW1	SWITCH2	AF20
	SW2	SWITCH3	AF21

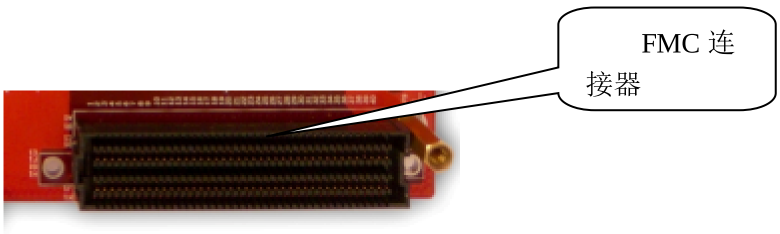
3.2.8 扩展接口

Zing2 开发板上包含了 FMC 接口。


JH1A
C2 DP0_C2M_P
C3 DP0_C2M_N
C6 DP0_M2C_P
C7 DP0_M2C_N
DFFIO_LO1_P1 C10 LA06_P
DFFIO_LO1_N1 C11 LA06_N
DFFIO_LO1_P2 C14 LA10_P
DFFIO_LO1_N2 C15 LA10_N
DFFIO_LO1_P3 C18 LA14_P
DFFIO_LO1_N3 C19 LA14_N
DFFCC_LO1_P1 C22 LA18_P_CC
DFFCC_LO1_N1 C23 LA18_N_CC
DFFIO_LO1_P4 C26 LA27_P
DFFIO_LO1_N4 C27 LA27_N
EGPIO_LO1_SCL C30 SCL
EGPIO_LO1_SDA C31 SDA
C34 GA0
C35 12P0V_1
C37 12P0V_2
C39 3P3V_1
12V
ASP_134603_127796_01_MAIN_FEMALE
JH1B
EGPIO_LO1_PG D1 PG_C2M
D4 GBTCLK0_M2C_P
D5 GBTCLK0_M2C_N
DFFCC_LO1_P2 D8 LA01_P_CC
DFFCC_LO1_N2 D9 LA01_N_CC
DFFIO_LO1_P5 D11 LA05_P
DFFIO_LO1_N5 D12 LA05_N
DFFIO_LO1_P6 D14 LA09_P
DFFIO_LO1_N6 D15 LA09_N
DFFIO_LO1_P7 D17 LA13_P
DFFIO_LO1_N7 D18 LA13_N
DFFCC_LO1_P3 D20 LA17_P_CC
DFFCC_LO1_N3 D21 LA17_N_CC
DFFIO_LO1_P8 D23 LA23_P
DFFIO_LO1_N8 D24 LA23_N
DFFIO_LO1_P9 D26 LA26_P
DFFIO_LO1_N9 D27 LA26_N
D29 TCK
D30 TDI
D31 TDO
D32 3P3VAUX
D33 TMS
D34 TRST_L
D35 GA1
D36 3P3V_2
D38 3P3V_3
D40 3P3V_4
ASP_134603_127796_01_MAIN_FEMALE
DFFIO_LO1_P[30:1]
DFFIO_LO1_N[30:1]
DFFIO_LO1_P[30:1]
DFFIO_LO1_N[30:1]
DFFCC_LO1_P[6:1]
DFFCC_LO1_N[6:1]
DFFCC_LO1_P[6:1]
DFFCC_LO1_N[6:1]
EGPIO_LO1_SCL
EGPIO_LO1_SDA
EGPIO_LO1_PG
EGPIO_LO1_PRSNT
EGPIO_LO1_SCL
EGPIO_LO1_SDA
EGPIO_LO1_PG
EGPIO_LO1_PRSNT



实物图如下：



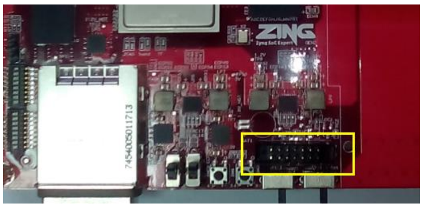
FMC 连接器	管脚号	FPGA 管脚名称
C10	AD13	DFFIO_CC_N0
C11	AD14	DFFIO_CC_N1
C14	AC13	DFFIO_CC_P0
C15	AC14	DFFIO_CC_P1
C18	AF12	DFFIO_L_N0
C19	AA17	DFFIO_L_N1

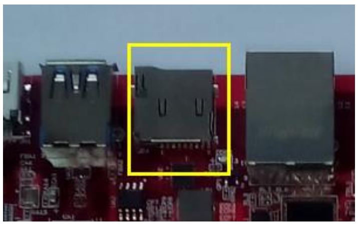
C22	AB25	DFFIO_L_N10
C23	AC26	DFFIO_L_N11
C26	Y11	DFFIO_L_N12
C27	AD26	DFFIO_L_N13
C30	AD24	DFFIO_L_N14
C31	AB24	DFFIO_L_N15
D1	AE26	DFFIO_L_N16
D8	AB22	DFFIO_L_N17
D9	AF17	DFFIO_L_N18
D11	AF23	DFFIO_L_N19
D12	AD11	DFFIO_L_N2
D14	AF25	DFFIO_L_N20
D15	W15	DFFIO_L_N21
D17	AB16	DFFIO_L_N22
D18	AF22	DFFIO_L_N23
D20	AA14	DFFIO_L_N24
D21	AB14	DFFIO_L_N25
D23	AD15	DFFIO_L_N26
D24	Y15	DFFIO_L_N27
D26	AF14	DFFIO_L_N28
D27	AF13	DFFIO_L_N29
G6	AF10	DFFIO_L_N3
G7	AA10	DFFIO_L_N30
G9	Y13	DFFIO_L_N31
G10	AC11	DFFIO_L_N32
G12	AA12	DFFIO_L_N33
G13	AD10	DFFIO_L_N4
G15	AC16	DFFIO_L_N5
G16	AC22	DFFIO_L_N6
G18	AA23	DFFIO_L_N7
G19	AB10	DFFIO_L_N8
G21	AE15	DFFIO_L_N9
G22	AE12	DFFIO_L_P0
G24	Y17	DFFIO_L_P1
G25	AA25	DFFIO_L_P10
G27	AB26	DFFIO_L_P11
G28	Y12	DFFIO_L_P12
G30	AD25	DFFIO_L_P13
G31	AD23	DFFIO_L_P14
G33	AA24	DFFIO_L_P15
G34	AE25	DFFIO_L_P16
G36	AB21	DFFIO_L_P17
G37	AE17	DFFIO_L_P18

H2	AE23	DFFIO_L_P19
H4	AC12	DFFIO_L_P2
H5	AF24	DFFIO_L_P20
H7	W16	DFFIO_L_P21
H8	AB17	DFFIO_L_P22
H10	AE22	DFFIO_L_P23
H11	AA15	DFFIO_L_P24
H13	AB15	DFFIO_L_P25
H14	AD16	DFFIO_L_P26
H16	Y16	DFFIO_L_P27
H17	AF15	DFFIO_L_P28
H19	AE13	DFFIO_L_P29
H20	AE11	DFFIO_L_P3
H22	Y10	DFFIO_L_P30
H23	W13	DFFIO_L_P31
H25	AB12	DFFIO_L_P32
H26	AA13	DFFIO_L_P33
H28	AE10	DFFIO_L_P4
H29	AC17	DFFIO_L_P5

四．ZYNQ 调试与配置

在此章节主要介绍平台的使用方法，主要是 ZYNQ 的调试与配置。ZYNQ 支持 JTAG 调试模式和 NAND_FLASH 和 TF 卡启动模式。ZYNQ 使用独立的 JTAG 接口，下载电缆采用 redcable for xilinx。ZYNQ 的 JTAG 下载接口调试方式与普通 FPGA 相同。以下为 ZYNQ 的中配置接口图。





JTAG 接口配置　　　　　　　　　　　TF 卡配置

NAND_FLASH 配置

4.1 下载电缆

FPGA 下载电缆是 redcable for xilinx。使用下载电缆可以对 FPGA 进行调试和 flash 固化。下载电缆一端通过 USB-A 电缆连接到 PC，另一端通过 14pin jtag 接口连接到板卡的下载接口。如图 4.1.1 为 JTAG 下载电缆和 JTAG 接口实物图。

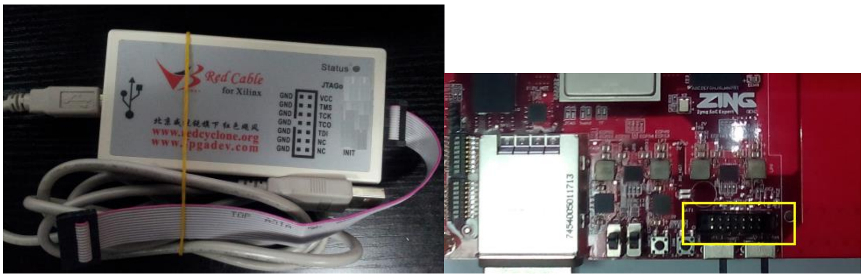


图 4.1.1 JTAG 下载电缆和 JTAG 接口实物图

下面主要介绍如何通过 JTAG 接口配置 ZYNQ 芯片的方法。

第一步，设置启动方式跳线和给板卡供电，

跳线按照板卡上标注的选择自己合适的方式把拨码开关拨到 JTAG 或者 TF 启动模式

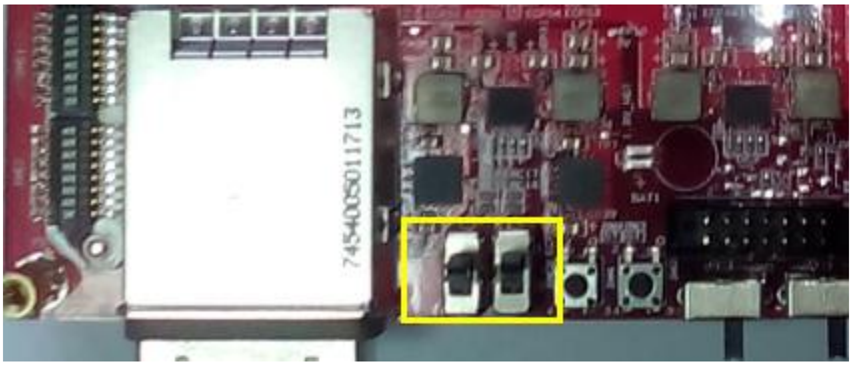
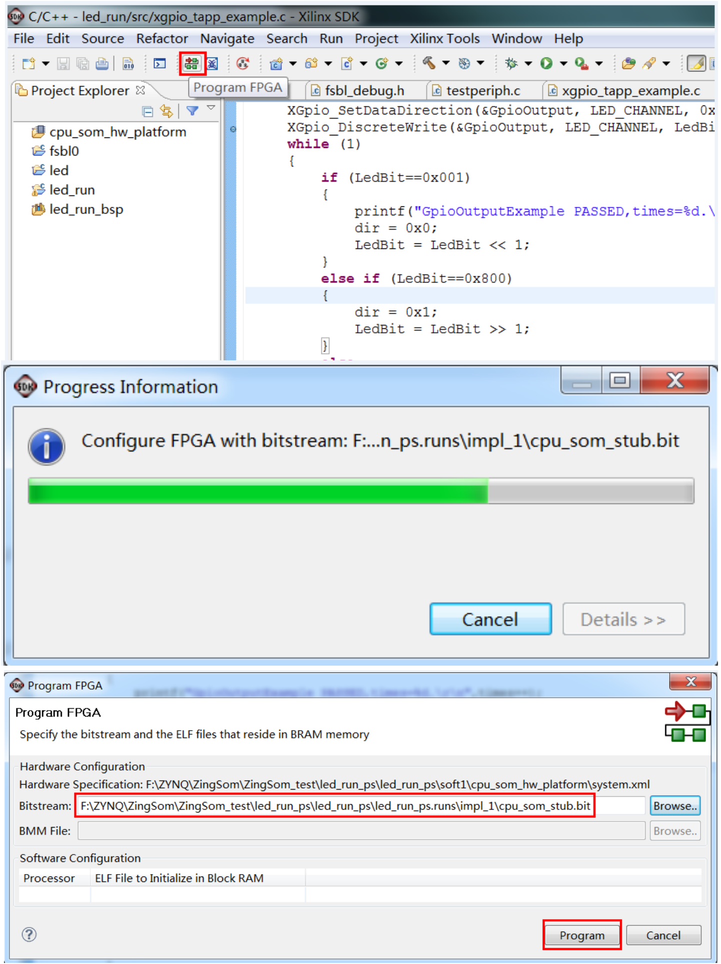


图 4.1.2 JTAG 跳线配置和板卡上电

第二步，用 SDK 软件打开 ZYNQ 的软件工程后，确保通过 JTAG 接口可以扫描到两个核，可参看 Zing2 部分 JTAG 部分，然后配置 FPGA 的 bit 文件，如图 4.1.3 所示。

图 4.1.3 配置 FPGA bit 文件



当 bit 文件配置完毕后，FPGA_DONE 信号会被拉高。有一个灯熄灭。

第三步，下载 ARM 应用程序，如图 4.1.4 所示。

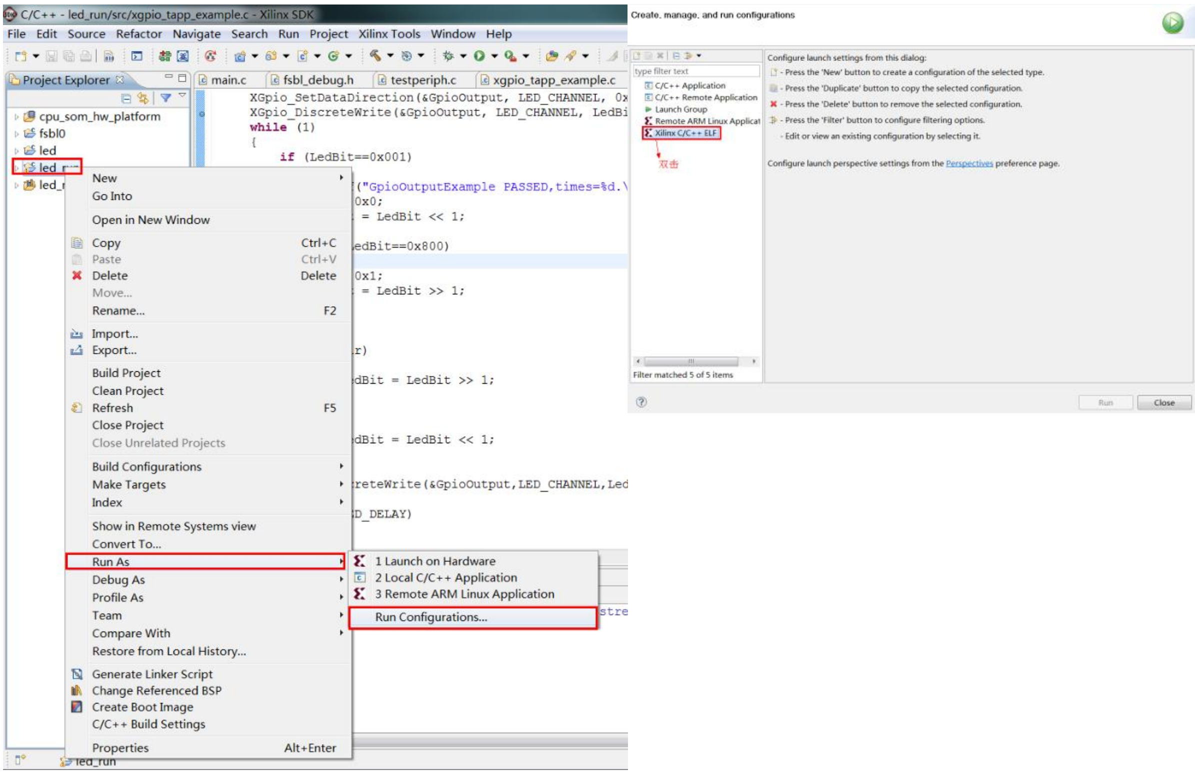


图 4.1.4 下载 ARM 应用程序

第四步，ARM 应用程序的运行和现象，如图 4.1.5 所示。

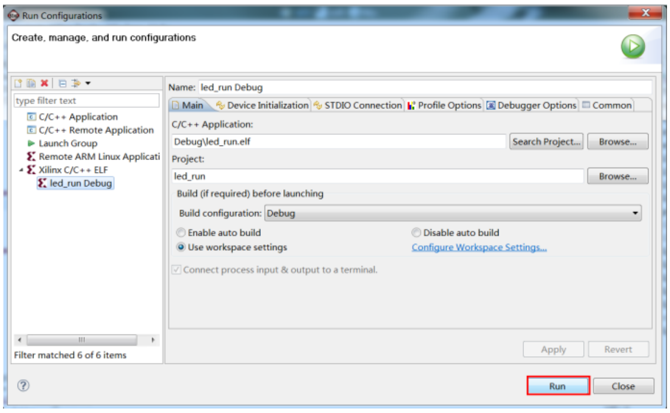
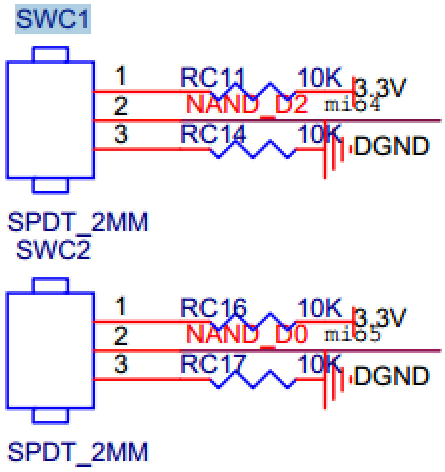


图 4.1.5 ARM 程序运行和实验现象

4.2 ZYNQ 启动方式选择

ZYNQ 支持启动镜像从 NAND_FLASH、TF 卡启动，通过 MIO3~MIO6 选择，在平台上通过 SWC1~SWC2 个跳线选择。默认启动模式 TF 卡，其它启动模式可参考图 4.2.1 所示。



	MIO[6]	MIO[5]	MIO[4]	MIO[3]
JTAG		0	0	0
NAND		0	1	0
SD		1	1	0
PLL Used	0			
PLL Bypassed	1			

图 4.2.1 ZYNQ 镜像启动模式选择

实物图可参考图 4.2.2。

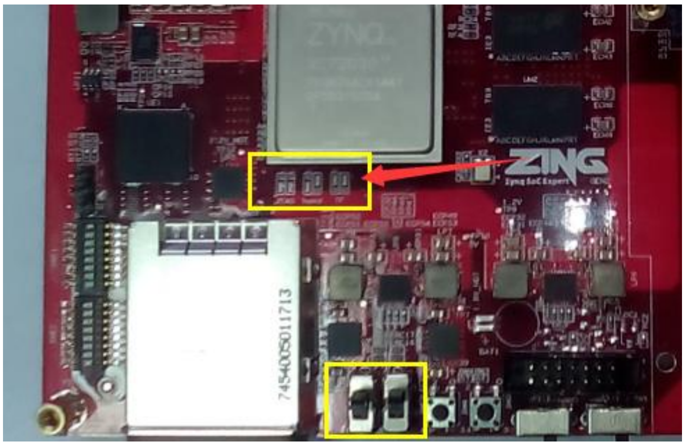


图 4.2.2 启动模式配置实物图

4.2.1 NAND_FLASH 的固化与启动

第一步，设置启动方式跳线和给板卡供电，如图 4.2.3 所示。

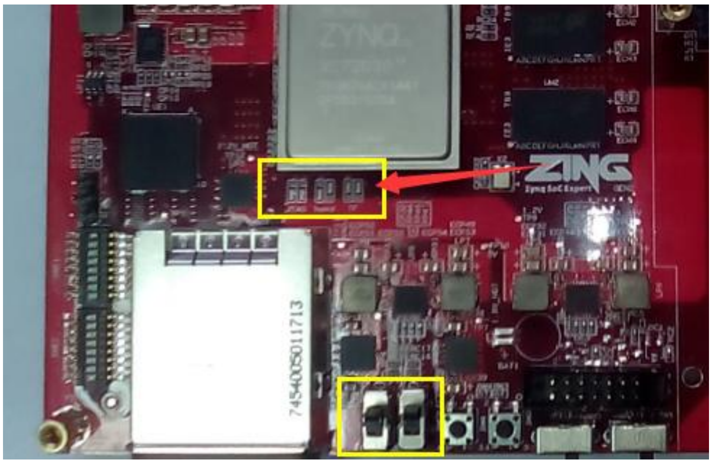


图 4.2.3 NAND_FLASH 的跳线设置

第二步，选择要固化的 FLASH 类型和相关配置文件，如图 4.2.7 所示。

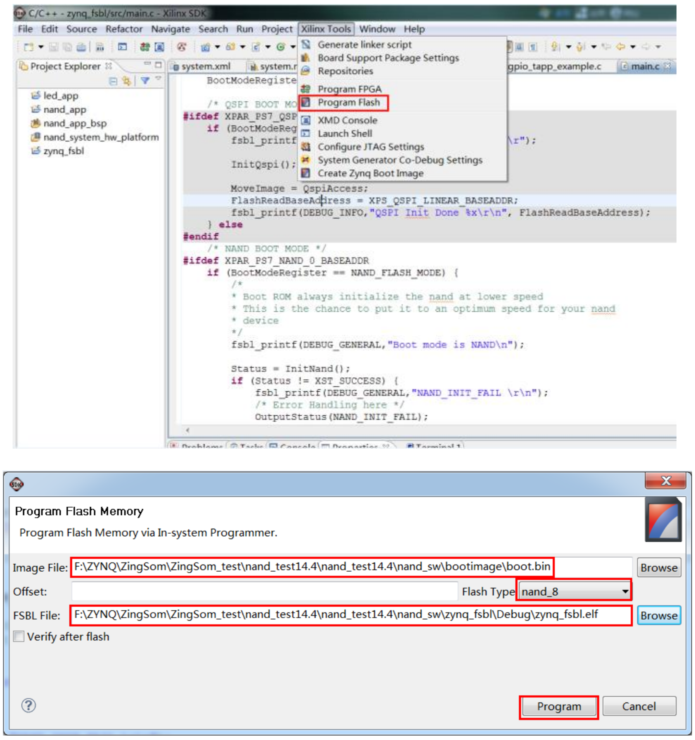


图 4.2.7 FLASH 类型和相关配置文件

第三步，FLASH 设备的固化过程和信息提示，如图 4.2.8 所示。

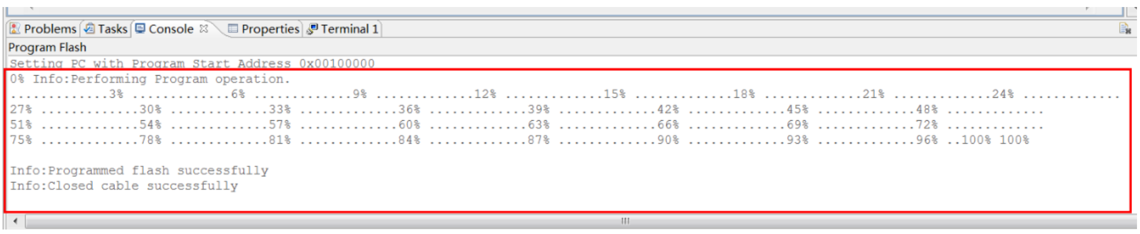


图 4.2.8 FLASH 固化过程

第四步，固化完毕后，关闭电源，选择镜像启动模式，设置拨码开关，打开电源，FLASH 成功。所示。

4.2.3 TF 卡的固化与启动

TF 卡作为启动设备，它的固化和启动比较简单。主要是用户需要将启动镜像拷贝到 TF 卡内，然后将 TF 插入 zing2 开发板 TF 卡插槽中，选择 TF 卡启动模式后，给板卡上电启动即可。

五．保修条款

1．我公司承诺，对开发板产品提供自售出之日起三个月的免费保修服务。若用户在使用开发板产品期间，由于该产品的质量问题而出现故障，可在保修期内凭购买单据与销售商或我公司联系，我公司负责为您维修产品或更换新机。

2．为下列情况之一的产品，不实行免费保修：

□超过保修服务期的；

□无有效购买单据的；

□进液、受潮或发霉；

□由于购买后跌落、强烈振动和擅自改造、误操作等非产品质量原因引起的故障和损坏；

□因为不可抗力造成损坏的。

3．我公司承诺，对开发板产品提供为期 1 年的 BBS 技术支持服务，终身维修服务。

4．我公司保留所有开发板中自主开发的相关的软、硬件技术资料的知识产权；用户仅能将它们作为教学、实验、科研使用，不得从事任何商业用途，也不能将它们在网络上散发，或者通过截取、修改等方式来篡改它们的著作权。

5．其它相关服务：为院校、企业提供嵌入式系统应用设计解决方案，提供最为专业、周到的嵌入式系统 ODM 服务，欢迎您与我们联系！

六. 威视锐专业定制服务

威视锐的定制服务包括产品设计服务和批量生产服务。

产品设计服务方面，威视锐在高性能信号处理产品设计和 FPGA 应用方面累积了多年经验，擅长基于 FPGA 与 DSP 系统平台的信号处理系统的定制与算法开发。威视锐设计过的成熟产品有，智能安防摄像机、高速数据采集卡、医疗图像分析仪、各种软件无线电系统、CPCI 工控板卡等，目前已经大量投入到了实际应用现场。威视锐提供的解决方案都是建立在这些成熟的架构上，包括模型产品、标准模块和开发平台，这样能够有效缩短客户产品向市场投放需要的时间，并降低在软硬件移植方面的风险，为客户确保产品开发的速度和成熟度。

批量生产服务方面，威视锐电子投资控股成立的“北京飕风深红科技有限公司”，定位于专业从事精密型 SMT 贴片加工和批量电子产品的 OEM 服务，同时为威视锐科技提供所有相关产品的配套服务。

威视锐是一个恪守品质和诚信的设计制造公司，我们已经跟很多公司合作过各种 OEM/ODM 项目，并保持多年的合作关系。对每一次合作，从产品构思到最后的量产，我们在整个过程中都会持续地与客户沟通、为客户设想、不断改善直到客户满意为止。合作双赢可能是一个长期的过程，我们 ODM 服务会促进这一理想的实现，为客户赢得更快的上市速度、更优的性能和更低的成本。

作为微软公司全球供货商，威视锐科技的产品遵循严格的设计规范和测试流程，产品出口到美国，日本和欧洲多个国家。依托于清华大学和中科院等科研机构，威视锐科技坚持不断创新，产品赢得中国移动、法国电信和华为技术等众多知名公司的认可。